

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-207669

(43)Date of publication of application : 22.07.2004

(51)Int.Cl. H01L 21/60

(21)Application number : 2003-068862 (71)Applicant : MITSUI MINING & SMELTING CO LTD

(22)Date of filing : 13.03.2003 (72)Inventor : SAKATA MASARU

(30)Priority

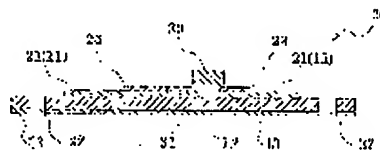
Priority number : 2002068500 Priority date : 13.03.2002 Priority country : JP
2002321853 05.11.2002 JP

(54) SEMICONDUCTOR DEVICE AND ITS PRODUCING PROCESS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which the reliability and productivity of a semiconductor chip packaging line are enhanced by eliminating thermal fusion of an insulating layer and a heating tool or a stage, and to provide its producing process.

SOLUTION: The semiconductor device comprises a semiconductor chip 30 mounted on a flexible printed wiring board 20 having a wiring pattern 21 formed by patterning a conductor layer 11 deposited at least on one side of an insulating layer 12 and mounting the semiconductor chip and provided with a release layer 13 on the side of the insulating layer 12 opposite to the side mounting the semiconductor chip.



LEGAL STATUS

[Date of request for examination] 08.07.2004

[Date of sending the examiner's decision of rejection] 05.10.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2005-21394

[Date of requesting appeal against examiner's decision of rejection] 04.11.2005

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-207669

(P2004-207669A)

(43) 公開日 平成16年7月22日(2004.7.22)

(51) Int. Cl.⁷

H01L 21/60

F1

H01L 21/60 311W

テーマコード (参考)

5F044

審査請求 未請求 請求項の数 15 O L (全 19 頁)

(21) 出願番号 特願2003-68862 (P2003-68862)
 (22) 出願日 平成15年3月13日 (2003.3.13)
 (31) 優先権主張番号 特願2002-68500 (P2002-68500)
 (32) 優先日 平成14年3月13日 (2002.3.13)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2002-321853 (P2002-321853)
 (32) 優先日 平成14年11月5日 (2002.11.5)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000006183
 三井金属鉱業株式会社
 東京都品川区大崎1丁目11番1号
 (74) 代理人 100101236
 弁理士 栗原 浩之
 (72) 発明者 坂田 賢
 山口県下関市彦島西山町1丁目1-1
 Fターム (参考) 5F044 MM03 MM06 MM16 MM48

(54) 【発明の名称】 半導体装置及びその製造方法

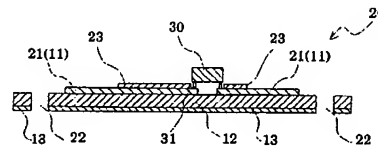
(57) 【要約】

【課題】 絶縁層が加熱ツールやステージに熱融着することがなく、半導体チップ実装ラインの信頼性及び生産性を向上させる半導体装置及びその製造方法を提供する。

【解決手段】 絶縁層12の少なくとも一面に積層された導体層11をパターンニングして形成されると共に半導体チップが実装される配線パターン21を有すると共に前記絶縁層12の半導体チップが実装される側とは反対側の面上に離型層13が設けられているフレキシブルプリント配線板20上に、半導体チップ30を実装した半導体装置である。

【選択図】

図1



【特許請求の範囲】

【請求項 1】

絶縁層の少なくとも一方向に積層された導体層をパターンニングして形成されると共に半導体チップが実装される配線パターンを有すると共に前記絶縁層の前記半導体チップが実装される側とは反対側の面上に離型層が設けられているCOF用フレキシブルプリント配線板上に、前記半導体チップを実装したことを特徴とする半導体装置。

【請求項 2】

請求項 1 において、前記離型層が、シリコン系化合物からなることを特徴とする半導体装置。

【請求項 3】

請求項 2 において、前記半導体チップの投影領域に、連続的に又は間欠的な島状にシリコン系化合物又はシリコンが存在することを特徴とする半導体装置。

【請求項 4】

請求項 2 において、前記離型層が、シロキサン化合物、シラン化合物、及びシリカゾルから選択される少なくとも一種を含有する離型剤により形成されたことを特徴とする半導体装置。

【請求項 5】

請求項 1 ～ 4 の何れかにおいて、前記離型層が、前記離型剤の溶液を塗布し、加熱処理することにより形成されたものであることを特徴とする半導体装置。

【請求項 6】

請求項 1 ～ 4 の何れかにおいて、前記離型層が、基材となる転写用フィルムに形成された離型層を転写することにより形成されたものであることを特徴とする半導体装置。

【請求項 7】

請求項 1 ～ 6 の何れかにおいて、前記COF用フレキシブルプリント配線板が、COFフィルムキャリアテープであることを特徴とする半導体装置。

【請求項 8】

絶縁層の少なくとも一方向に積層された導体層をパターンニングして形成されると共に半導体チップが実装される配線パターンを有すると共に前記絶縁層の前記半導体チップが実装される側とは反対側の面上に離型層が設けられているCOF用フレキシブルプリント配線板を製造する工程と、このCOF用フレキシブルプリント配線板上に前記半導体チップを実装する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 9】

請求項 8 において、前記半導体チップの実装の際に前記離型層に直接接触する加熱ツールが、200℃以上に加熱されていることを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 8 又は 9 において、前記離型層が、シリコン系化合物からなることを特徴とする半導体装置の製造方法。

【請求項 11】

請求項 10 において、前記半導体チップの投影領域に、連続的に又は間欠的な島状にシリコン化合物又はシリコンが存在することを特徴とする半導体装置の製造方法。

【請求項 12】

請求項 10 において、前記離型層が、シロキサン化合物、シラン化合物、及びシリカゾルから選択される少なくとも一種を含有する離型剤により形成されたことを特徴とする半導体装置の製造方法。

【請求項 13】

請求項 8 ～ 12 の何れかにおいて、前記離型層が、前記離型剤の溶液を塗布し、加熱処理することにより形成されたものであることを特徴とする半導体装置の製造方法。

【請求項 14】

請求項 8 ～ 12 の何れかにおいて、前記離型層が、基材となる転写用フィルムに形成された離型層を転写することにより形成されたものであることを特徴とする半導体装置の製造

10

20

30

40

50

方法。

【請求項15】

請求項8～14の何れかにおいて、前記COF用フレキシブルプリント配線板が、COFフィルムキャリアテープであることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、COFフィルムキャリアテープ、COF用フレキシブルプリント回路(FPC)などのフレキシブルプリント配線板にICあるいはLSIなどの電子部品(半導体チップ)を実装した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

エレクトロニクス産業の発達に伴い、IC(集積回路)、LSI(大規模集積回路)等の電子部品を実装するプリント配線板の需要が急激に増加しているが、電子機器の小型化、軽量化、高機能化が要望され、これら電子部品の実装方法として、最近ではTAB(Tape Automated Bonding)テープ、TBGA(Ball Grid Array)テープ、ASICテープ、FPC(フレキシブルプリント回路)等の電子部品実装用フィルムキャリアテープを用いた実装方式が採用されている。特に、パーソナルコンピュータ、携帯電話等のように、高精細化、薄型化、液晶画面の額縁面積の狭小化が要望されている液晶表示素子(LCD)を使用する電子産業において、その重要性が高まっている。

【0003】

また、より小さいスペースで、より高密度の実装を行う実装方法として、裸の半導体チップをフレキシブルプリント配線板上に直接搭載するCOF(チップ・オン・フィルム)が実用化されている。

【0004】

このCOFに用いられるフレキシブルプリント配線板はデバイスホールを具備しないので、導体層と絶縁層とが予め積層された積層フィルムが用いられ、ICチップの配線パターン上への直接搭載の際には、例えば、絶縁層を透過して視認されるインナーリードや位置決めマークを介して位置決めを行い、その状態で加熱ツールによりICチップと、配線パターン、すなわちインナーリードとの接合が行われる(例えば、特許文献1等参照)。

【0005】

【特許文献1】

特開2002-289651号公報(図4～図6、段落[0004]、[0005]等)

【0006】

【発明が解決しようとする課題】

このような半導体チップの実装は、絶縁層が加熱ツールに直接接触した状態で行われるが、この状態で加熱ツールによりかなり高温に加熱されるので、絶縁層が加熱ツールに融着する現象が生じ、製造装置の停止の原因となり、また、テープの変形が生じるという問題がある。また、加熱ツールと融着した場合には、加熱ツールに汚れが発生し、信頼性、生産性を阻害するという問題があった。

【0007】

このような加熱ツールの融着は、デバイスホールのないCOFフィルムキャリアテープやCOF用FPCへの半導体チップの実装の際に問題となる。

【0008】

本発明は、このような事情に鑑み、絶縁層が加熱ツールやステージに熱融着することがなく、半導体チップ実装ラインの信頼性及び生産性を向上させる半導体装置及びその製造方法を提供することを課題とする。

【0009】

【課題を解決するための手段】

10

20

30

40

50

前記課題を解決する本発明の第1の態様は、絶縁層の少なくとも一方面に積層された導体層をパターンニングして形成されると共に半導体チップが実装される配線パターンを有すると共に前記絶縁層の前記半導体チップが実装される側とは反対側の面上に離型層が設けられているCOF用フレキシブルプリント配線板上に、半導体チップを実装したことを特徴とする半導体装置にある。

【0010】

かかる第1の態様では、半導体チップ実装時に、加熱ツールが離型層と接触するが、両者が密着することがなく、絶縁層と熱融着が生じて加熱ツール等が汚れるという問題が生じない。

【0011】

本発明の第2の態様は、第1の態様において、前記離型層が、シリコン系化合物からなることを特徴とする半導体装置にある。

10

【0012】

かかる第2の態様では、加熱ツールと接触する離型層がシリコン系化合物からなるので、熱融着等が確実に防止される。

【0013】

本発明の第3の態様は、第2の態様において、前記半導体チップの投影領域に、連続的に又は間欠的な島状にシリコン系化合物又はシリコンが存在することを特徴とする半導体装置にある。

【0014】

かかる第3の態様では、半導体チップ実装後、その半導体チップを投影した絶縁層の反対側に離型層に起因するシリコン系化合物又はシリコンが観察される。

20

【0015】

本発明の第4の態様は、第2の態様において、前記離型層が、シロキサン化合物、シラン化合物、及びシリカゾルから選択される少なくとも一種を含有する離型剤により形成されたことを特徴とする半導体装置にある。

【0016】

かかる第4の態様では、加熱ツールと接触する離型層が、シロキサン化合物、シラン化合物、又はシリカゾルを含有する離型剤により形成され、これにより、熱融着等が確実に防止される。

30

【0017】

本発明の第5の態様は、第1～4の何れかの態様において、前記離型層が、前記離型剤の溶液を塗布し、加熱処理することにより形成されたものであることを特徴とする半導体装置にある。

【0018】

かかる第5の態様では、塗布法により熱融着が確実に防止される離型層が形成される。

【0019】

本発明の第6の態様は、第1～4の何れかの態様において、前記離型層が、基材となる転写用フィルムに形成された離型層を転写することにより形成されたものであることを特徴とする半導体装置にある。

40

【0020】

かかる第6の態様では、離型層が転写法により容易に形成される。

【0021】

本発明の第7の態様は、第1～6の何れかの態様において、前記COF用フレキシブルプリント配線板が、COFフィルムキャリアテープであることを特徴とする半導体装置にある。

【0022】

かかる第7の態様では、COFフィルムキャリアテープへの半導体チップ実装時に、加熱ツールが離型層と接触するが、両者が密着することがなく、絶縁層と熱融着が生じて加熱ツール等が汚れるという問題が生じない。

50

【0023】

本発明の第8の態様は、絶縁層の少なくとも一方面に積層された導体層をパターンニングして形成されると共に半導体チップが実装される配線パターンを有すると共に前記絶縁層の前記半導体チップが実装される側とは反対側の面上に離型層が設けられているCOF用フレキシブルプリント配線板を製造する工程と、このCOF用フレキシブルプリント配線板上に半導体チップを実装する工程とを具備することを特徴とする半導体装置の製造方法にある。

【0024】

かかる第8の態様では、半導体チップ実装時に、加熱ツールが離型層と接触するが、両者が密着することがなく、絶縁層と熱融着が生じて加熱ツール等が汚れるという問題が生じない。

10

【0025】

本発明の第9の態様は、第8の態様において、前記半導体チップの実装の際に前記離型層に直接接触する加熱ツールが、200℃以上に加熱されていることを特徴とする半導体装置の製造方法にある。

【0026】

かかる第9の態様では、半導体チップ実装時に、200℃以上に加熱された加熱ツールが離型層と接触するが、両者が密着することがなく、絶縁層と熱融着が生じて加熱ツール等が汚れるという問題が生じない。

【0027】

本発明の第10の態様は、第8又は9の態様において、前記離型層が、シリコン系化合物からなることを特徴とする半導体装置の製造方法にある。

20

【0028】

かかる第10の態様では、加熱ツールと接触する離型層がシリコン系化合物からなるので、熱融着等が確実に防止される。

【0029】

本発明の第11の態様は、第10の態様において、前記半導体チップの投影領域に、連続的に又は間欠的な島状にシリコン化合物又はシリコンが存在することを特徴とする半導体装置の製造方法にある。

【0030】

かかる第11の態様では、半導体チップ実装後、その半導体チップを投影した絶縁層の反対側に離型剤に起因するシリコン系化合物又はシリコンが観察される。

30

【0031】

本発明の第12の態様は、第10の態様において、前記離型層が、シロキサン化合物、シラン化合物、及びシリカゾルから選択される少なくとも一種を含有する離型剤により形成されたことを特徴とする半導体装置の製造方法にある。

【0032】

かかる第12の態様では、加熱ツールと接触する離型層が、シロキサン化合物、シラン化合物、又はシリカゾルを含有する離型剤により形成され、これにより、熱融着等が確実に防止される。

40

【0033】

本発明の第13の態様は、第8～12の何れかの態様において、前記離型層が、前記離型剤の溶液を塗布し、加熱処理することにより形成されたものであることを特徴とする半導体装置の製造方法にある。

【0034】

かかる第13の態様では、塗布法により熱融着が確実に防止される離型層が形成される。

【0035】

本発明の第14の態様は、第8～12の何れかの態様において、前記離型層が、基材となる転写用フィルムに形成された離型層を転写することにより形成されたものであることを特徴とする半導体装置の製造方法にある。

50

【0036】

かかる第14の態様では、離型層が転写法により容易に形成される。

【0037】

本発明の第15の態様は、第8～14の何れかの態様において、前記COF用フレキシブルプリント配線板が、COFフィルムキャリアテープであることを特徴とする半導体装置の製造方法にある。

【0038】

かかる第15の態様では、COFフィルムキャリアテープへの半導体チップ実装時に、加熱ツールが離型層と接触するが、両者が密着することがなく、絶縁層と熱融着が生じて加熱ツール等が汚れるという問題が生じない。

【0039】

本発明の半導体装置に用いられるCOFフィルムキャリアテープやCOF用FPCなどのCOF用フレキシブルプリント配線板は、導体層と絶縁層とを有する。かかるCOF用フレキシブルプリント配線板に用いられる導体層と絶縁層との積層フィルムとしては、ポリイミドフィルムなどの絶縁フィルムにニッケルなどの密着強化層をスパッタした後、銅メッキを施した積層フィルムを挙げることができる。また、積層フィルムとしては、銅箔にポリイミドフィルムを塗布法により積層したキャストタイプや、銅箔に熱可塑性樹脂・熱硬化性樹脂などを介し絶縁フィルムを熱圧着した熱圧着タイプの積層フィルムを挙げることができる。本発明では、何れを用いてもよい。

【0040】

本発明に用いるCOF用フレキシブルプリント配線板は、上述した積層フィルムの導体層とは反対側の絶縁層に離型層を設けたものである。かかる離型層は、半導体チップの実装時に加熱ツールと密着しないような離型性を有しており且つこのような加熱により熱融着しない材料で形成されていればよく、有機材料でも無機材料でもよい。例えば、シリコン系離型剤、エポキシ系離型剤、フッ素系離型剤などを用いるのが好ましい。

【0041】

このような離型層は、シリコン系化合物、エポキシ系化合物又はフッ素系化合物からなるのが好ましいが、特に、シリコン系化合物からなるもの、すなわち、シロキサン結合(Si-O-Si結合)を有する化合物を形成するものがよい。シリコン系化合物からなる離型層は、比較的容易に形成でき、半導体装置実装面に転写したとしても、半導体チップ実装後のモールド樹脂の接着性に悪影響を起し難いからである。

【0042】

ここで、シリコン系化合物、特に、シロキサン結合を有する化合物からなる離型層を形成する離型剤としては、シリコン系離型剤を挙げることができ、具体的には、ジシロキサン、トリシロキサンなどのシロキサン化合物から選択される少なくとも一種を含有するものである。

【0043】

また、好ましい離型剤としては、塗布後反応によりシリコン系化合物に変化する化合物、すなわち、モノシラン、ジシラン、トリシランなどのシラン化合物、又はシリカゾル系化合物等を含む離型剤を用いるのが好ましい。

【0044】

さらに、特に好ましい離型剤としては、シラン化合物の一種であるアルコキシシラン化合物や、シロキサン結合の前駆体であるSi-NH-Si構造を有する、ヘキサメチルジシラザン、ペルヒドロポリシラザンなどのシラザン化合物を含有する離型剤を挙げることができる。これらは、塗布することにより、又は塗布後空気中の水分等と反応することにより、シロキサン結合を有する化合物となるが、例えば、シラザン化合物については、Si-NH-Si構造が残存している状態であってもよい。

【0045】

このように、離型剤を塗布した後、反応により変化して形成されたシリコン系化合物からなる離型層が特に好ましい。

【0046】

このような各種離型剤は、一般的には溶剤として有機溶剤を含有しているが、水溶液タイプのもの又はエマルジョンタイプのものを用いてもよい。

【0047】

具体例としては、ジメチルシロキサンを主成分とするシリコーン系オイル、メチルトリ（メチルエチルケトオキシム）シラン、トルエン、リグロインを成分とするシリコーン系レジジンSR2411（商品名：東レ・ダウコーニング・シリコーン社製）、シラザン、合成イソパラフィン、酢酸エチルを成分とするシリコーン系レジジンSEPA-COAT（商品名：信越化学工業社製）などを挙げることができる。また、シラン化合物を含有するコルコートSP-2014S（商品名：コルコート株式会社製）などを挙げることができる。さらに、シリカゾルを含有する離型剤としては、コルコートP、N-103X（商品名：コルコート株式会社製）などを挙げることができる。なお、シリカゾルに含まれるシリカの粒子径は、例えば、0.005～0.008 μm [50～80Å（オングストローム）]である。

【0048】

ここで、半導体チップの実装時に加熱ツールと密着しないという離型性を有しており且つこのような加熱により熱融着しないという効果の点では、シラザン化合物を含有する離型剤でシリコーン系化合物からなる離型層を設けるのが特に好ましい。このようなシラザン化合物を含有する離型剤の一例としては、シラザン、合成イソパラフィン、酢酸エチルを成分とするシリコーン系レジジンSEPA-COAT（商品名：信越化学工業社製）を挙げることができる。

【0049】

かかる離型層の形成方法は特に限定されず、離型剤又はその溶液をスプレー、ディッピング、又はローラー塗布などにより塗布してもよいし、基材フィルムに形成された離型層を転写するようにしてもよい。また、何れの場合にも、絶縁層と離型層との間の剥離を防止するために、加熱処理等により両者の間の接合力を高めるようにしてもよい。また、離型層は、必ずしも全体的に均一に設けられている必要はなく、間隔をおいて島状に設けられていてもよい。例えば、COFフィルムキャリアテープに転写する場合には、後述するスプロケットホール間の領域、あるいは後工程にて半導体チップ（IC）を実装する領域に対応して連続的に又は間欠的な島状に設けられていてもよい。

【0050】

また、離型層は、半導体実装時までに設けられていればよいので、導体層を設けた後設けるほか、導体層を設けていない絶縁層に予め設けてあってもよいし、導体層を設ける際に同時に設けるようにしてもよい。勿論、導体層をパターニングする前に必ずしも設ける必要はなく、導体層をパターニングした後設けるようにしてもよい。

【0051】

例えば、導体層を設けた後設けるほか、導体層を設けていない絶縁層に予め設ける場合などは、転写法を用いるのが好ましい。また、導体層をパターニングした後設ける場合には、塗布法を用いるのが好ましいが、勿論これに限定されず、導体層のパターニング前の初期の段階で塗布法により設けてもよいし、導体層のパターニング後に転写法により設けるようにしてもよい。

【0052】

本発明の一製造方法では、離型層は、フォトリソグラフィ後、半導体実装時までに設けられていればよい。これは、フォトレジスト層の剥離液等により離型層が溶解する虞があるためであり、導体層をエッチング後、配線パターン用レジストマスクを除去後設けるようにするのが好ましい。すなわち、レジストマスクを除去後、スズメッキを施した後の工程、または、レジストマスクを除去後、ソルダーレジスト層を設け、リード電極にメッキを施した後の工程等に設けるのが好ましい。また、このような離型層は、離型剤の溶液を塗布し、自然乾燥により形成するようにしてもよいが、接合強度を高めるために加熱処理を行うのが好ましい。ここで、加熱条件としては、例えば、加熱温度を50～200℃、

好ましくは、 $100 \sim 200^{\circ}\text{C}$ とし、加熱時間を1分～120分、好ましくは、30分～120分とするのがよい。

【0053】

また、本発明の他の製造方法では、離型層は、基材である転写用フィルムに形成された離型層を絶縁層の導体層とは反対側、すなわち、半導体チップ（IC）を実装する側とは反対側の面上に転写するようにする。ここで、転写条件としては、例えば、加熱温度を $15 \sim 200^{\circ}\text{C}$ とし、ローラー又はプレスによる荷重を $5 \sim 50 \text{ kg/cm}^2$ とし、処理時間を0.1秒～2時間とするのがよい。さらに、絶縁層と離型層との間の剥離を防止するために、転写後、加熱処理等により両者の間の接合力を高めるようにしてもよい。このときの加熱条件としては、例えば、加熱温度を $50 \sim 200^{\circ}\text{C}$ 、好ましくは、 $100 \sim 200^{\circ}\text{C}$ とし、加熱時間を1分～120分、好ましくは、30分～120分とするのがよい。

【0054】

かかる転写法では離型層は、半導体実装時までに設けられていけばよいので、導体層を設けていない絶縁層に予め設けてもよいし、導体層を設ける際に同時に設けるようにしてもよい。勿論、導体層をパターニングする前に必ずしも設ける必要はなく、導体層をパターニングした後設けるようにしてもよい。

【0055】

例えば、導体層を設けていない絶縁層に予め設ける場合などは、転写法を行うのに好適である。また、製造工程の初期段階で転写法により離型層を設ける場合、離型層が形成された基材フィルムを剥がさないで補強フィルムとして使用し、最終工程で基材フィルムを剥がすようにしてもよい。

【0056】

本発明の半導体装置は、このように製造したCOF用フレキシブルプリント配線板に半導体チップを実装する。実装方法は特に限定されないが、例えば、チップステージ上に載置された半導体チップ上にCOF用フレキシブルプリント配線板を位置決め配置し、加熱ツールをCOF用フレキシブルプリント配線板に押しあてて半導体チップを実装する。この際に、加熱ツールは、最低でも 200°C 以上、場合によっては 350°C 以上に加熱されるが、絶縁層上に離型層が形成されているので、両者の間に熱融着が生じる虞がない。

【0057】

【発明の実施の形態】

以下、本発明の一実施形態に係る半導体装置を図面に基づいて説明する。なお、以下の実施形態ではCOFフィルムキャリアテープを例にとって説明するが、COF用FPCについても同様に実施できることはいふまでもない。

【0058】

図1には、一実施形態に係る半導体装置の断面図を示す。同図に示すように、COFフィルムキャリアテープ20は、銅箔からなる導体層11とポリイミドフィルムからなる絶縁層12とを有し、導体層11をパターニングした配線パターン21と、配線パターン21の幅方向両側に設けられたスプロケットホール22とを有する。また、配線パターン21は、絶縁層12の表面に連続的に設けられており、絶縁層12の配線パターン21とは反対側、すなわち、半導体チップ30が実装される側とは反対側の面上には、離型層13が設けられている。さらに、配線パターン21上には、溶剤レジスト材料塗布溶液をスクリーン印刷法にて塗布して形成した溶剤レジスト層23を有し、この上に半導体チップ30が実装され、半導体チップ30の bumps 31と配線パターン21のインナーリードとが接合されている。なお、配線パターンは、絶縁層の両面に形成されていてもよく（2-metal COFフィルムキャリアテープ）、この場合には、加熱ツールが接触する領域のみに離型剤を塗布、あるいは転写用離型層を転写することで、離型層を形成すればよい。

【0059】

以下、まず、本発明の半導体装置に用いるCOFフィルムキャリアテープを実施例に基づいて説明する。

【0060】

図2には、一実施形態に係るCOFフィルムキャリアテープ20を、図3には、その一製造工程を示す。

【0061】

図2(a)、(b)及び図3に示すように、本実施形態のCOFフィルムキャリアテープ20は、銅層からなる導体層11とポリイミドフィルムからなる絶縁層12とからなるCOF用積層フィルムを用いて製造されたものであり、導体層11をパターンニングした配線パターン21と、配線パターン21の幅方向両側に設けられたスプロケットホール22とを有する。また、配線パターン21は、絶縁層12の表面に連続的に設けられている。さらに、配線パターン21上には、ソルダーレジスト材料塗布溶液をスクリーン印刷法にて塗布して形成したソルダーレジスト層23を有する。

10

【0062】

ここで、導体層11としては、銅の他、金、銀などを使用することもできるが、銅層が一般的である。また、銅層としては、蒸着やメッキで形成した銅層、電解銅箔、圧延銅箔など何れも使用することができる。導体層11の厚さは、一般的には、1～70μmであり、好ましくは、5～35μmである。

【0063】

一方、絶縁層12としては、ポリイミドの他、ポリエステル、ポリアミド、ポリエーテルサルホン、液晶ポリマーなどを用いることができるが、ピロメリット酸2無水物と4,4'-ジアミノジフェニルエーテルの重合によって得られる全芳香族ポリイミドを用いるのが好ましい。なお、絶縁層12の厚さは、一般的には、12.5～125μmであり、好ましくは、12.5～75μm、さらに好ましくは12.5～50μmである。

20

【0064】

ここで、COF用積層フィルムは、例えば、銅箔からなる導体層11上に、ポリイミド前駆体やワニスを含むポリイミド前駆体樹脂組成物を塗布して塗布層を形成し、溶剤を乾燥させて巻き取り、次いで、酸素をパージしたキュア炉内で熱処理し、イミド化して絶縁層12とすることにより形成されるが、勿論、これに限定されるものではない。

【0065】

一方、離型層13は、シラザン化合物を含有するシリコーン系離型剤やシリカゾルを含有するからなる離型剤を用いて形成することができる。離型層13は、離型剤を塗布等により設けた後、加熱処理して絶縁層12と強固に接合するのが好ましい。なお、離型層13の厚さは、例えば、0.1～1μmである。

30

【0066】

このような本発明のCOFフィルムキャリアテープは、例えば、搬送されながら半導体チップの実装やプリント基板などへの電子部品の実装工程に用いられ、COF実装されるが、この際、絶縁層12の光透過性が50%以上あるので、絶縁層12側から配線パターン21(例えば、インナーリード)をCCD等で画像認識することができ、さらに、実装する半導体チップやプリント基板の配線パターンを認識することができ、画像処理により相互の位置合わせを良好に行うことができ、高精度に電子部品を実装することができる。

【0067】

次に、上述したCOFフィルムキャリアテープの一製造方法を図3を参照しながら説明する。

40

【0068】

図3(a)に示すように、COF用積層フィルム10を用意し、図3(b)に示すように、パンチング等によって、導体層11及び絶縁層12を貫通してスプロケットホール22を形成する。このスプロケットホール22は、絶縁層12の表面上から形成してもよく、また、絶縁層12の裏面から形成してもよい。次に、図3(c)に示すように、一般的なフォトリソグラフィー法を用いて、導体層11上の配線パターン21が形成される領域に亘って、例えば、ネガ型フォトレジスト材料塗布溶液を塗布してフォトレジスト材料塗布層30を形成する。勿論、ポジ型フォトレジスト材料を用いてもよい。さらに、スプロケ

50

ットホール 22 内に位置決めピンを挿入して絶縁層 12 の位置決めを行った後、フォトマスク 31 を介して露光・現像することで、フォトレジスト材料塗布層 30 をパターンニングして、図 3 (d) に示すような配線パターン用レジストパターン 32 を形成する。次に、配線パターン用レジストパターン 32 をマスクパターンとして導体層 11 をエッチング液で溶解して除去し、さらに配線パターン用レジストパターン 32 をアルカリ溶液等にて溶解除去することにより、図 3 (e) に示すように配線パターン 21 を形成する。続いて、必要に応じて配線パターン 21 全体にスズメッキなどのメッキ処理を行った後、図 3 (f) に示すように、塗布法により離型層 13 を絶縁層 12 の配線パターン 21 側の面とは反対側の面上に形成する。この離型層 13 は、塗布して乾燥するだけでもよいが、加熱ツールと熱融着しないという離型効果を向上させるためには、加熱処理を行うのが好ましい。ここで、加熱条件としては、例えば、加熱温度を 50～200℃、好ましくは、100～200℃とし、加熱時間を 1分～120分、好ましくは、30分～120分とするのがよい。次に、図 3 (g) に示すように、例えば、スクリーン印刷法を用いて、ソルダーレジスト層 23 を形成する。そして、ソルダーレジスト層 23 で覆われていないインナーリード及びアウターリードに必要に応じて金属メッキ層を施す。金属メッキ層は特に限定されず、用途に応じて適宜設ければよく、スズメッキ、スズ合金メッキ、ニッケルメッキ、金メッキ、金合金メッキなどを施す。

【0069】

以上説明した実施形態では、離型層 13 の形成を配線パターン用レジストパターン 32 をアルカリ溶液等にて溶解除去した後、ソルダーレジスト層 23 を設ける前に行ったが、ソルダーレジスト層 23 を設けた後のソルダーレジスト製造工程後に離型層 13 を形成するようにしてもよい。このように離型層 13 を形成すると、離型層 13 がエッチング液やフォトレジストの剥離液等に曝されないので、離型効果が高いという利点がある。

【0070】

このように、本発明の離型層は、配線パターン 21 を形成するフォトリソグラフィ工程後そして半導体チップとのボンディング前までに形成するのが好ましい。これはフォトレジスト層の剥離工程で離型層が溶解する可能性があるからである。したがって、フォトレジスト工程終了直後、又はメッキ処理後、さらには、ソルダーレジスト層 23 形成後等に離型層 13 を設けるのが好ましい。勿論、フォトリソグラフィ工程より前に行ってもよい。

【0071】

さらに、離型層は、転写法により形成してもよい。一例としては、図 4 に示すような COF 用積層フィルム 10A を用いて上述したように COF フィルムキャリアテープを製造してもよい。図 4 に示す COF 用積層フィルムは、まず、銅箔からなる導体層 11 上に (図 4 (a))、ポリイミド前駆体やワニスを含むポリイミド前駆体樹脂組成物を塗布して塗布層 12a を形成し (図 4 (b))、溶剤を乾燥させて巻き取る。次に、キュア炉内で熱処理し、イミド化して絶縁層 12 とする (図 4 (c))。次に、基材となる転写用フィルム 14 上に形成された離型層 13a を絶縁層 12 の導体層 11 とは反対側に密着させ (図 4 (d))、これを加熱処理した後、転写用フィルム 14 を剥がし、離型層 13A を有する COF 用積層フィルム 10A としたものである (図 4 (e))。ここで、転写条件としては、例えば、加熱温度を 15～200℃とし、ローラー又はプレスによる荷重を 5～50 kg/cm² とし、処理時間を 0.1 秒～2 時間とするのがよい。また、加熱条件としては、例えば、加熱温度を 50～200℃、好ましくは、100～200℃とし、加熱時間を 1分～120分、好ましくは、30分～120分とするのがよい。勿論、このような転写法により離型層 13A の形成をフォトリソグラフィの後の工程等で行ってもよい。ここで、転写用フィルム 14 の材質は、例えば、PET (ポリエチレンテレフタレート)、PI (ポリイミド)、及び液晶ポリマー等が挙げられる。このような転写用フィルム 14 の厚さとしては、例えば、15～100 μm、好ましくは、20～75 μm である。

【0072】

本発明の半導体装置は、図 5 に示すように、このように製造された COF フィルムキャリ

アテープ 20 に半導体チップ 30 を実装することにより製造される。すなわち、半導体チップ 30 をチップステージ 41 上に載置し、COF フィルムキャリアテープ 20 を搬送する。この状態で、所定位置に位置決めした後、上部クランパー 42 が下降すると共に下部クランパー 43 が上昇して COF フィルムキャリアテープ 20 を固定し、この状態で加熱ツール 45 が下降してテープを押し付け、加熱しながらさらに下降して COF フィルムキャリアテープ 20 のインナーリードを半導体チップ 30 のパンプ 31 に所定時間押圧し、両者を接合する。なお、接合後、樹脂封止を行い、半導体装置とする。

【0073】

なお、加熱ツール 45 の温度は、押圧時間、圧力等の条件によっても異なるが、200℃以上、好ましくは 350℃以上である。本発明では、このように加熱ツール 45 の温度を高温にしても、COF フィルムキャリアテープ 20 の加熱ツール 45 との接触面に離型層 13 が設けられているので、加熱ツール 45 と熱融着することがない。すなわち、本発明によると、接合条件の温度を十分に高くできるので、十分な接合強度が確保でき、逆に、一定の接合強度を得るのに、加熱温度を高くすることにより、圧着時間を短縮することができるという利点がある。

【0074】

(実施例 1 a ~ 1 d)

種々の市販のポリイミド製のベースフィルム、エスパフレックス（商品名：住友金属鉱山社製；実施例 1 a）、エスパネックス（商品名：新日鐵化学社製；実施例 1 b）、ネオフレックス（商品名：三井化学社製；実施例 1 c）およびユピセル（商品名：宇部興産社製；実施例 1 d）を用いた COF 用積層フィルムの導体層をフォトリソ法によりパターンニングし、配線パターン全体にスズメッキを施した後、ベースフィルムにシリコン系レジン（シラン系化合物を含有する）である SR 2411（商品名：東レ・ダウコーニング・シリコン社製）を塗布し、125℃で1時間加熱して離型層を形成した COF フィルムキャリアテープを製造した。

【0075】

さらに、これらの COF フィルムキャリアテープを用い、加熱ツール温度を 260℃~440℃の範囲で変化させながら離型層側へ押し当てて半導体チップを実装し、その後、樹脂封止して、半導体装置とした。なお、チップステージ温度は 450℃一定とした（以下同様）。

【0076】

(実施例 2 a ~ 2 d)

実施例 1 a ~ 1 d と同様な種々の市販のポリイミド製のベースフィルム、エスパフレックス（商品名：住友金属鉱山社製；実施例 2 a）、エスパネックス（商品名：新日鐵化学社製；実施例 2 b）、ネオフレックス（商品名：三井化学社製；実施例 2 c）およびユピセル（商品名：宇部興産社製；実施例 2 d）を用いた COF 用積層フィルムの導体層をフォトリソ法によりパターンニングし、配線パターン全体にスズメッキを施した後、ベースフィルムにシリコン系レジン（シラザン含有）である SEPA-COAT（商品名：信越化学工業社製）を塗布し、125℃で1時間加熱して離型層を形成した COF フィルムキャリアテープを製造した。

【0077】

さらに、これらの COF フィルムキャリアテープを用い、加熱ツール温度を 260℃~440℃の範囲で変化させながら離型層側へ押し当てて半導体チップを実装し、その後、樹脂封止して、半導体装置とした。

【0078】

(比較例 1 a ~ 1 d、2 a ~ 2 d)

実施例 1 a ~ 1 d、2 a ~ 2 d で離型層を設けない以外は同様な COF フィルムキャリアテープを比較例 1 a ~ 1 d、2 a ~ 2 d とした。

【0079】

さらに、これらの COF フィルムキャリアテープを用い、加熱ツール温度を 260℃~4

10

20

30

40

50

40℃の範囲で変化させながら反対側へ押し当てて半導体チップを実装し、その後、樹脂封止して、半導体装置とした。

【0080】

(試験例1)

実施例1a～1d、2a～2dおよび比較例1a～1d、2a～2dの半導体装置の製造の際の加熱ツール温度を260～440℃の範囲で変化させながら離型層側へ押し当てて半導体チップを実装し、加熱ツールとの付着性を観察した。この結果を表1に示す。

【0081】

この結果、実施例1a～1d及び実施例2a～2dでは、離型層を有さない比較例1a～1d、2a～2dと比較して顕著な付着防止効果を示した。

【0082】

また、離型層の有無により、樹脂封止用のアンダーフィル材（樹脂）の注入状況に差は見られなかった。

【0083】

【表1】

	離型剤	ベースフィルム	付着温度 (℃)	
			実施例	比較例
1a	SR2411	エスパ-フレックス	370	320
1b	SR2411	エスパネックス	360	320
1c	SR2411	ネオフレックス	360	340
1d	SR2411	ユビセル	350	260
2a	SEPA-COAT	エスパ-フレックス	440	320
2b	SEPA-COAT	エスパネックス	390	320
2c	SEPA-COAT	ネオフレックス	400	340
2d	SEPA-COAT	ユビセル	360	260

【0084】

(実施例3a～3d)

実施例1a～1dと同様な種々の市販のポリイミド製のベースフィルム、エスパ-フレックス（商品名：住友金属鉱山社製；実施例3a）、エスパネックス（商品名：新日鐵化学社製；実施例3b）、ネオフレックス（商品名：三井化学社製；実施例3c）およびユビセル（商品名：宇部興産社製；実施例3d）を用いたCOF用積層フィルムの導体層をフォトリソ法によりパターンニングし、配線パターン全体にスズメッキを施した後、ベースフィルムにシリコン系オイルであるSRX310（商品名：東レ・ダウコーニング・シリコン社製）を塗布し、125℃で1時間加熱して離型層を形成したCOFフィルムキャリアテープを製造した。

【0085】

さらに、これらのCOFフィルムキャリアテープを用い、加熱ツール温度を260℃～400℃の範囲で変化させながら離型層側へ押し当てて半導体チップを実装し、半導体装置とした。

【0086】

(比較例3a～3d)

実施例 3 a ~ 3 d で離型層を設けない以外は同様な C O F フィルムキャリアテープを比較例 3 a ~ 3 d とした。

【 0 0 8 7 】

さらに、これらの C O F フィルムキャリアテープを用い、加熱ツール温度を 2 6 0 ℃ ~ 4 0 0 ℃ の範囲で変化させながら反対側へ押し当てて半導体チップを実装し、半導体装置とした。

【 0 0 8 8 】

(試験例 2)

実施例 3 a ~ 3 d および比較例 3 a ~ 3 d の半導体装置の製造の際の加熱ツール温度を 2 6 0 ℃ ~ 4 0 0 ℃ の範囲で変化させながら離型層側へ押し当てて半導体チップを実装し、加熱ツールとの付着性を観察し、付着した温度を測定した。この結果を表 2 に示す。

【 0 0 8 9 】

この結果、実施例 3 a ~ 3 c は、比較例 3 a ~ 3 c と比較して顕著な効果が認められた。なお、実施例 3 d は、比較例 3 d と差はあるものの、効果は顕著ではなかった。しかしながら、加熱融着温度は、加熱ツール、実装する半導体チップの種類、実装品の用途等により異なり、一般的には 2 0 0 ~ 3 5 0 ℃ 程度の場合もあるので、付着温度が上昇する点では有効である。

【 0 0 9 0 】

【表 2】

	付着温度 (℃)	
	実施例	比較例
3 a : エスハ ⁺ -フレックス	4 0 0	3 2 0
3 b : エスハ ⁺ ネックス	3 5 0	3 2 0
3 c : 材フレックス	3 7 0	3 4 0
3 d : エビ ⁺ セル	2 8 0	2 6 0

【 0 0 9 1 】

(実施例 4 a ~ 4 h)

S E P A - C O A T (商品名 : 信越化学工業社製) の塗布時期を、C O F 用積層フィルムの原料に塗布し 3 時間以上乾燥して離型層を形成した (実施例 4 a)、乾燥の代わりに 1 2 5 ℃ で 1 時間熱処理して離型層を形成した (実施例 4 b)、導体層のパターニング前クリーニング工程で塗布し 3 時間以上乾燥して離型層を形成した (実施例 4 c)、乾燥の代わりに 1 2 5 ℃ で 1 時間熱処理して離型層を形成した (実施例 4 d)、導体層パターニング用のフォトレジスト現像をした後に塗布し 3 時間以上乾燥して離型層を形成した (実施例 4 e)、乾燥の代わりに 1 2 5 ℃ で 1 時間熱処理して離型層を形成した (実施例 4 f)、導体層をパターニング後、フォトレジストを剥離し、スズメッキを施した後に塗布し 3 時間以上乾燥して離型層を形成した (実施例 4 g)、乾燥の代わりに 1 2 5 ℃ で 1 時間熱処理して離型層を形成した (実施例 4 h) 以外は、実施例 1 a と同様に C O F フィルムキャリアテープを製造した。

【 0 0 9 2 】

さらに、これらの C O F フィルムキャリアテープを用い、加熱ツール温度を 3 4 0 ℃ ~ 4 9 0 ℃ の範囲で変化させながら離型層側へ押し当てて半導体チップを実装し、半導体装置とした。

【 0 0 9 3 】

(試験例 3)

実施例 4 a ~ 4 h の半導体装置の製造の際の加熱ツール温度を 340℃ ~ 490℃ の範囲で変化させながら離型層側へ押し当てて半導体チップを実装し、加熱ツールとの付着性を観察し、付着した温度を測定した。この結果を表 3 に示す。

【0094】

この結果、フォトリソグラフィ工程のフォトレジストの剥離の際に離型層が溶解されるためか、その後に離型層を形成した実施例 4 g、4 h が付着防止効果が高かった。また、離型層を塗布法で設ける場合には、自然乾燥よりも加熱処理した方が付着防止効果が向上することも認められた。

【0095】

【表 3】

	付着温度 (℃)
実施例 4 a	350
実施例 4 b	360
実施例 4 c	350
実施例 4 d	370
実施例 4 e	340
実施例 4 f	380
実施例 4 g	480
実施例 4 h	490

10

20

【0096】

(実施例 5 a ~ 5 e)

SEPA-COAT (商品名: 信越化学工業社製) の希釈倍率を変化させて実施例 4 a ~ 4 h と同様に導体層をパターンニング後、フォトレジストを剥離し、スズメッキを施した後塗布し 3 時間以上乾燥して離型層を形成したものと、乾燥の代わりに 125℃ で 1 時間熱処理して離型層を形成したものとをそれぞれ製造した (実施例 5 a ~ 5 e)。この場合、希釈倍率を原液のままから 2 倍、3 倍、5 倍、10 倍と酢酸エチルで希釈したシリコン系レジンをを用いたが、この場合の離型層の厚さ (計算値) を算出した。

30

【0097】

さらに、これらの COF フィルムキャリアテープを用い、加熱ツール温度を 320℃ ~ 460℃ の範囲で変化させながら離型層側へ押し当てて半導体チップを実装し、半導体装置とした。

【0098】

(試験例 4)

実施例 5 a ~ 5 e の半導体装置製造の際の加熱ツール温度を 320℃ ~ 460℃ の範囲で変化させながら離型層側へ押し当てて半導体チップを実装し、加熱ツールとの付着性を観察し、付着した温度を測定した。この結果を表 4 に示す。

40

【0099】

この結果、離型層が、0.05 μm 以上、好ましくは 0.1 μm を越える実施例 5 a ~ 5 c で付着防止効果が特に顕著であった。

【0100】

【表 4】

	膜厚 (μm)	付着温度 ($^{\circ}\text{C}$)	
		加熱処理なし	加熱処理有り
実施例 5 a	0.35	440	460
実施例 5 b	0.18	440	440
実施例 5 c	0.12	400	410
実施例 5 d	0.07	370	390
実施例 5 e	0.04	320	320

10

【0101】

(実施例 6)

導体層としての厚さ $9\mu\text{m}$ の超低粗度銅箔上に、絶縁層として塗布法により厚さ $40\mu\text{m}$ のポリイミド層を形成し、絶縁層の導体層とは反対側に転写法により厚さ $0.1\mu\text{m}$ のシリコン系化合物からなる離型層を設けて実施例 6 の COF 用積層フィルムとした。なお、シリコン系化合物からなる離型層を転写した後、 120°C で加熱処理した。

20

【0102】

さらに、この COF 用積層フィルムの導体層をパターニングし、加熱ツール温度を $260^{\circ}\text{C} \sim 440^{\circ}\text{C}$ の範囲で変化させながら離型層側へ押し当てて半導体チップを実装し、半導体装置とした。

【0103】

(実施例 7)

実施例 6 で離型層を転写後、加熱処理を行わない以外は同様にして実施例 7 の COF 用積層フィルムとした。

【0104】

さらに、この COF 用積層フィルムの導体層をパターニングし、加熱ツール温度を $260^{\circ}\text{C} \sim 440^{\circ}\text{C}$ の範囲で変化させながら離型層側へ押し当てて半導体チップを実装し、半導体装置とした。

30

【0105】

(実施例 8)

実施例 6 において、SEPA-COAT (商品名: 信越化学工業社製) を用いて形成したシリコン系化合物を転写して離型層とした以外は同様にして実施例 8 の COF 用積層フィルムとした。

【0106】

さらに、この COF 用積層フィルムの導体層をパターニングし、加熱ツール温度を $260^{\circ}\text{C} \sim 440^{\circ}\text{C}$ の範囲で変化させながら離型層側へ押し当てて半導体チップを実装し、半導体装置とした。

40

【0107】

(比較例 4)

離型層を設けない以外は実施例 6 と同様にして COF 用積層フィルムとした。

【0108】

さらに、この COF 用積層フィルムの導体層をパターニングし、加熱ツール温度を $260^{\circ}\text{C} \sim 440^{\circ}\text{C}$ の範囲で変化させながら反対側へ押し当てて半導体チップを実装し、半導体装置とした。

【0109】

(試験例 5)

50

実施例 6 ～ 8 および比較例 4 の半導体装置の製造の際の加熱ツール温度を 260℃～440℃の範囲で変化させながら離型層側へ押し当てて半導体チップを実装し、加熱ツールとの付着性を観察した。この結果を表 5 に示す。

【0110】

この結果、比較例 4 では 300℃を超えると付着が生じたが、実施例 7 では 320℃を超えた際に一部に付着が生じる程度まで付着性が良好になり、実施例 6 及び 8 では 400℃を越えるまでは付着が全く生じなかった。なお、実施例 7 は、比較例 4 と差はあるものの、効果は顕著ではなかったが、加熱融着温度は、加熱ツール、実装する半導体チップの種類、実装品の用途等により異なり、一般的には 200～350℃程度の場合もあるので、付着温度が上昇する点では有効である。

10

【0111】

【表 5】

ツール温度 (℃)	実施例 6	実施例 7	実施例 8	比較例 4
260	○	○	○	○
280	○	○	○	○
300	○	○	○	×
320	○	△	○	×
340	○	△	○	×
360	○	×	○	×
380	○	×	○	×
400	○	×	○	×
420	×	×	○	×
440	×	×	×	×

20

30

表中：○は付着なし、△は一部付着あり、×は付着あり

【0112】

(実施例 9a ～ 9c)

エスパーフレックス（商品名：住友金属鉱山社製）に、離型剤として、シリカゾル系の
 コルコート P（商品名：コルコート株式会社製；実施例 9a）、コルコート N-103X（
 商品名：コルコート株式会社製；実施例 9b）、シラン化合物系のコルコート SP-20
 14S（商品名、コルコート株式会社製；実施例 9c）を用い、配線パターン全体にスズ
 メッキを施した後、ベースフィルムに離型剤を塗布し、120℃の加熱温度で60分間乾
 燥して離型層を形成したCOFフィルムキャリアテープを製造した。

40

【0113】

また、これらのCOFフィルムキャリアテープを用い、加熱ツール温度を440℃～480℃の範囲で変化させながら離型層側へ押し当てて半導体チップを実装し、半導体装置とした。

【0114】

50

(試験例 6)

実施例 9 a ~ 9 c の半導体装置の製造の際の加熱ツール温度を 440℃ ~ 480℃ の範囲で変化させながら離型層側へ押し当てて半導体チップを実装し、加熱ツールとの付着性を観察し、付着した温度を測定した。この結果を表 6 に示す。

【0115】

この結果、実施例 9 a ~ 9 c は、上述した実施例と同様に顕著な効果が認められた。

【0116】

【表 6】

実施例	付着温度 (℃)
9 a : コルコト P	460
9 b : コルコト N-103X	480
9 c : コルコト SP-2014S	440

10

【0117】

(試験例 7)

実施例 2 a、8 および 9 a において作製した COF フィルムキャリアテープに、加熱ツール温度を 400℃ として半導体チップを実装して半導体装置とした。また、比較例 2 a において作製した COF フィルムキャリアテープに、加熱ツール温度を 280℃ として半導体チップを実装して半導体装置とした。そして、これらの半導体装置のそれぞれの加熱ツール接触側の絶縁層をオージェ電子分光装置 (SAM) で観察した。

20

【0118】

この結果、実施例 2 a、8 および 9 a の半導体装置の離型層が設けられた絶縁層の表面の少なくとも半導体チップの投影領域には、連続的に又は間欠的な島状に離型剤に起因した Si が検出されたが、比較例 2 a の絶縁層表面には、Si が観察されなかった。なお、絶縁層中に含有される Si 化合物は塊状なものとして観察されるので、絶縁層表面に分布する Si 成分とは区別できる。

30

【0119】

【発明の効果】

以上説明したように、本発明の半導体装置は、フレキシブルプリント配線板に特定のシリコン系化合物からなる離型層を設けることにより、半導体チップ実装時に加熱ツールやステージと絶縁層とが熱融着するのを防止することができ、半導体チップ実装ラインの信頼性及び生産性を向上させるという効果を奏する。

【図面の簡単な説明】

【図 1】本発明の一実施形態に係る半導体装置の断面図である。

【図 2】本発明の一実施形態に用いる COF フィルムキャリアテープを示す概略構成図であって、(a) は平面図であり、(b) は断面図である。

40

【図 3】本発明の一実施形態に用いる COF フィルムキャリアテープの製造方法の一例を示す断面図である。

【図 4】本発明の他の実施形態に用いる COF 用積層フィルムの断面図である。

【図 5】本発明の一実施形態に用いる半導体装置の製造方法を示す断面図である。

【符号の説明】

10, 10A COF 用積層フィルム

11 導体層

12 絶縁層

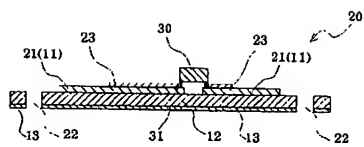
13, 13A 離型層

20 COF フィルムキャリアテープ

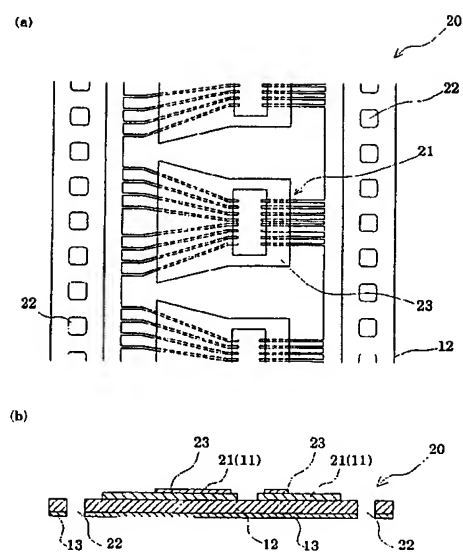
50

- 2 1 配線パターン
- 2 2 スプロケットホール
- 2 3 ソルダーレジスト層
- 3 0 半導体チップ
- 3 1 パンプ

【図 1】



【図 2】



【圖 4】

